

# 金属ゲート電極Si<sub>3</sub>N<sub>4</sub>ゲート絶縁膜微細MOSデバイスに関する研究

著者	島田 浩行
号	2810
発行年	2001
URL	<a href="http://hdl.handle.net/10097/8083">http://hdl.handle.net/10097/8083</a>

氏名	しまだ ひろ ゆき 島田 浩行
授与学位	博士(工学)
学位授与年月日	平成14年3月25日
学位授与の根拠法規	学位規則第4条第1項
研究科, 専攻の名称	東北大学大学院工学研究科(博士課程)電子工学専攻
学位論文題目	金属ゲート電極 $\text{Si}_3\text{N}_4$ ゲート絶縁膜微細MOSデバイス に関する研究
指導教官	東北大学教授 大見 忠弘
論文審査委員	主査 東北大学教授 大見 忠弘 東北大学教授 坪内 和夫 東北大学教授 室田 淳一 東北大学助教授小谷 光司

## 論文内容要旨

CMOS 半導体デバイス技術を進展させていく上で、最も効果的な改良方法はトランジスタの微細化である。このことは、MOS トランジスタが 30 年以上に渡って微細化され続け、常にその高性能化を実現してきたことを見れば明らかである。ところが、デバイスの最小寸法が  $0.1\mu\text{m}$  より小さくならうとしている現在、全てのパラメータが物理的な限界近くまで縮小化されており、様々な問題が顕在化してきた。特にゲート酸化膜は  $2\text{nm}$  以下まで薄膜化され、多大な直接トンネル電流のためデバイスを正常に駆動することが難しくなっている。また、従来から使われているポリシリコンゲート電極では、そのゲート空乏化効果により電氣的な膜厚が相対的に厚くなり、駆動能力が低下してしまう現象が発生する。加えて、pn 接合部での不純物の急峻性を確保するために、プロセスの低温化も必須である。すなわち、これらの問題を抜本的に解決できる新たなトランジスタ形成技術を創出することが重要である。著者は、ゲート空乏化を起こさない新たな金属ゲート電極を開発するとともに、トンネル電流を低減できる  $\text{Si}_3\text{N}_4$  (シリコン窒化膜) をゲート絶縁膜として組み合わせ、全てのプロセスを低温化した金属ゲートトランジスタ形成技術を世界で初めて確立した。本論文は、これらの研究成果を取りまとめたもので、全文 5 章よりなる。

第 1 章は序論であり、MOS デバイスの高性能化に向けた課題を述べている。ゲート酸化膜を高誘電率膜に、ゲートポリシリコン電極を金属電極に変更することが高性能化に最も効果的であることを示した。また、金属をデバイスの中心部に導入するためには、プロセス温度を低温化し、金属と他物質との反応を抑止することが必須である。

第2章では、Ta<sub>2</sub>N<sub>5</sub>(窒化タンタル)をバッファ層にした低抵抗な積層金属ゲート電極形成技術を新たに示した。図1に示すように Ta<sub>2</sub>N<sub>5</sub> バッファ層上に低抵抗な *bcc* 相の金属タンタル層がヘテロエピタキシーにより成長することを実験的に示し、シート抵抗 1Ω/□以下を安定的に実現した。

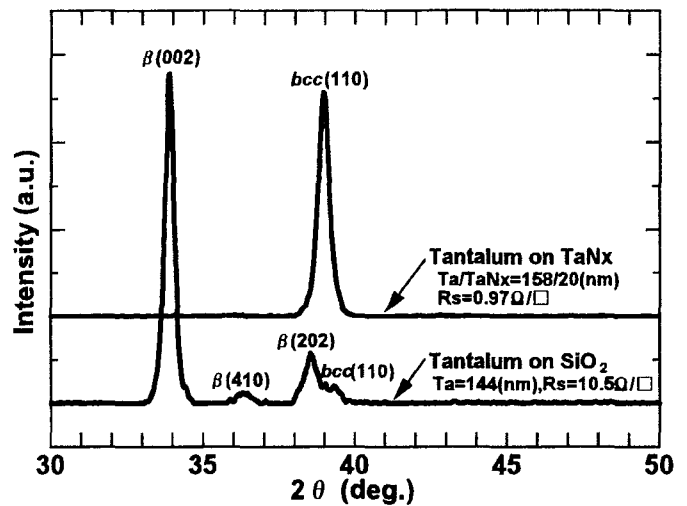


図1 SiO<sub>2</sub>上に堆積された金属タンタル薄膜のXRD スペクトル (Cu-Kα)。 窒化タンタルバッファ層の有無により、大きく異なる。

また、Ta<sub>2</sub>N<sub>5</sub> および金属タンタルは硫酸や過酸化水素といった洗浄薬液に対して耐性があるため、クロスコンタミネーションのおそれは小さく、従来使われているポリシリコンゲート製造ラインで共用できることも明らかにした。

第3章では、第2章で開発した *bcc*-Ta/Ta<sub>2</sub>N<sub>5</sub> 金属ゲート電極が実際に MOS デバイスに適用できるかを詳細に検討した。その結果、Ta<sub>2</sub>N<sub>5</sub> ゲートを使った MOS デバイスの界面準位密度は十分小さいことを示した。また図2に示すように Ta<sub>2</sub>N<sub>5</sub> の仕事関数値は金属タンタルのそれより大きく、よりシリコン禁制帯の中心位置に近いことを実験的に明らかにしている。このことは完全空乏化(FD)SOI-CMOS デバイスにおけるしきい値をより対称に設定できることを意味し、実用上極めて重要である。

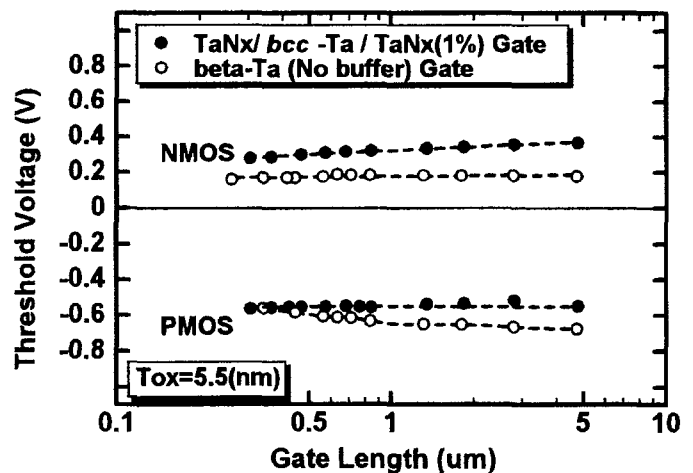


図2 *bcc*-Ta/Ta<sub>2</sub>N<sub>5</sub> ゲートとβ-Ta ゲートにおける FD-SOI-CMOS トランジスタのしきい値 Roll-Off 特性の比較。

第4章では、*bcc*-Ta/Ta<sub>2</sub>N<sub>5</sub> 金属ゲート電極とマイクロ

波励起高密度プラズマにより成膜される  $\text{Si}_3\text{N}_4$  膜ゲート絶縁膜を組み合わせた MNS 型トランジスタ形成技術を検討した。その結果、金属ゲート  $\text{Si}_3\text{N}_4$  ゲート絶縁膜 MNS デバイスは、同じ電気膜厚の従来 MOS デバイスに比較して、ゲート漏れ電流を 3 桁低減できることを明らかにした(図 3)。

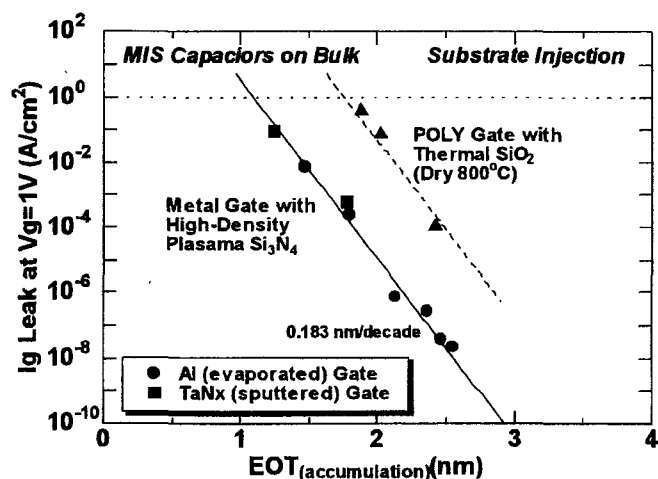


図 3 ゲート電圧が 1V の時のリーク電流に対する MNS キャパシタの電気膜厚(EOT)依存性。リファレンスとして従来 MOS デバイスについても示した。

さらに、全てのプロセスが 450°C 以下という完全低温プロセスを用いたプレーンゲート型  $\text{bcc-Ta}/\text{TaNx}$  金属ゲート  $\text{Si}_3\text{N}_4$  ゲート絶縁膜 FD-SOI-MNS トランジスタの試作に初めて成功し、理想的な駆動特性を確認した(図 4)。また MNSFET の界面状態を調べるために、電気膜厚が 2.08nm の MNS トランジスタ断面を透過型電子顕微鏡により観察した(図 5)。

シリコン側、金属電極側のどちらにも界面反応層を生成していないことがわかる。 $\text{Si}_3\text{N}_4$  ゲート絶縁膜の物理膜厚は

3.5nm であり、反転層容量を考慮すると  $\text{Si}_3\text{N}_4$  の比誘電率はおよそ 7.5 であることが確認された。次に MNS トランジスタと従来 MOS トランジスタの相互コンダクタンスを比較したところ、図 6 に示すように高電圧側で MNS トランジスタの方が大きいことを確認した。このことから従来よりも電流

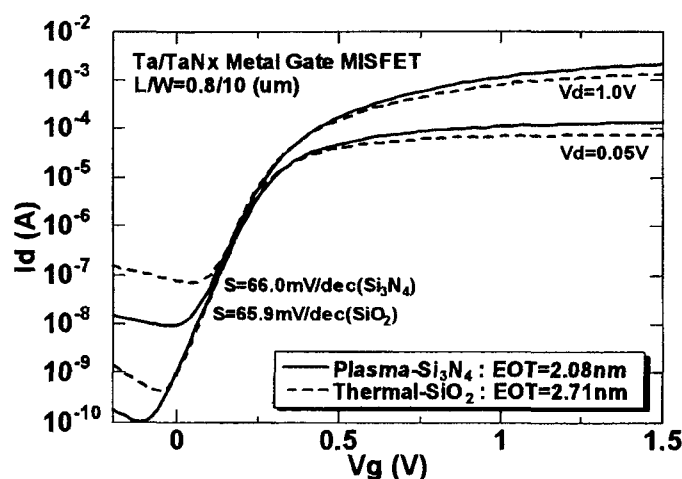


図 4 試作した  $\text{bcc-Ta}/\text{TaNx}$  メタルゲート FD-SOI-Tr のサブスレッショルド特性。MNSFET と MOSFET を比較している。

駆動能力を大きくできる可能性がある。さらに、その経時破壊信頼性(CVS-TDDB)についても従来 MOS デバイスより優れていることを実験的に明らかにし、実用上大きな問題がないことを確認した(図7)。このように完全低温プロセスで製造で

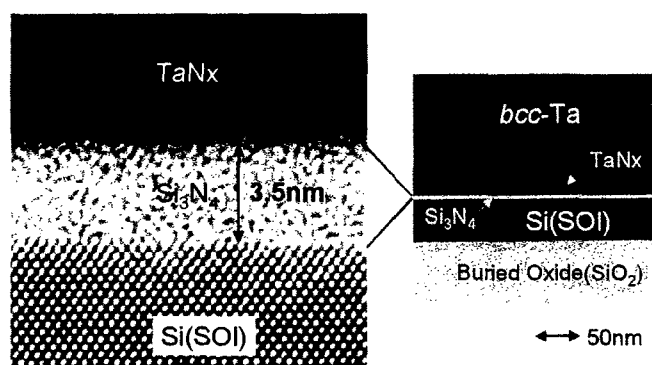


図5 図4で測定した *bcc-Ta/TaNx* メタルゲート MNSFET の透過型電子顕微鏡(TEM) による断面写真。

きる本技術は、超高速駆動を可能とする金属基板 SOI デバイス実現に向けて大きく前進したものであり、極めて重要な成果である。

第5章は結論であり、第2章から第4章までを通して得られた結果を総括している。

すなわち、本論文で提案した *bcc-Ta/TaNx* メタルゲートと誘電率の高い純  $\text{Si}_3\text{N}_4$  ゲート絶縁膜の組み合わせによる MNSFET は、従来よりも高移動度で低消費電力、かつ高信頼な CMOS デバイスを実現できると考えられる。さらに、 $450^\circ\text{C}$  以下という完全低温プロセスを特徴とする本技術は、非常に急峻な接合を得られること、また製造時エネルギーを画期的に低減できることから、100nm 世代以降の超微細 CMOS デバイスとして有望であるといえる。本研究を通して得られた知見、および成果は、今後の LSI の高性能化に十分役立つものである。

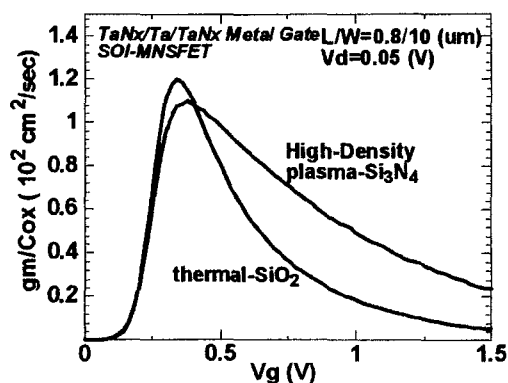


図6 ゲート絶縁膜容量で規格化した相互コンダクタンスの MNSFET と MOSFET の比較。しきい値は両者とも  $\sim 0.23\text{V}$  である。

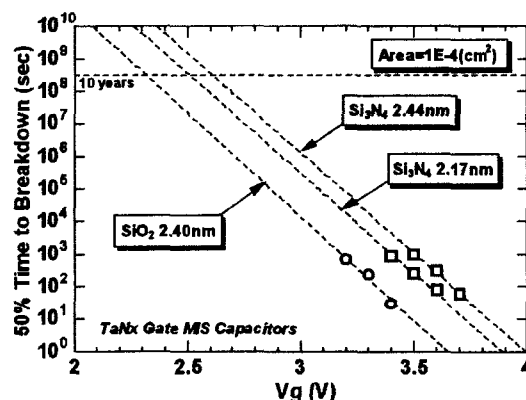


図7 50%TDDB 時間のストレス電圧依存性。  $\text{Si}_3\text{N}_4$  膜( $\text{EOT}=2.44, 2.17\text{nm}$ )と  $\text{SiO}_2$ ( $\text{EOT}=2.40\text{nm}$ )膜を比較している。

# 論文審査結果の要旨

CMOS 半導体デバイス技術を進展させていく上で、最も効果的な改良方法はトランジスタの微細化である。このことは、MOS トランジスタが 30 年以上に渡って微細化され続け、常にその高性能化を実現してきたことを見れば明らかである。ところが、デバイスの最小寸法が  $0.1\mu\text{m}$  より小さくなろうとしている現在、全てのパラメータが物理的な限界近くまで縮小化されており、様々な問題が顕在化している。特にゲート酸化膜は  $2\text{nm}$  以下まで薄膜化され、多大な直接トンネル電流のためデバイスを正常に駆動することが難しくなっている。また、従来から使われているポリシリコンゲート電極では、そのゲート空乏化効果により電氣的な膜厚が相対的に厚くなり、トランジスタの電流駆動能力が低下してしまう現象が発生する。加えて、pn 接合部での不純物濃度プロファイルの急峻性を確保するために、製造プロセスの低温化も必須である。すなわち、これらの問題を抜本的に解決する新たなトランジスタ形成技術を創出することが強く求められている。

著者は、ゲート空乏化を起こさない新たな金属ゲート電極を開発するとともに、トンネル電流を低減できる  $\text{Si}_3\text{N}_4$  (シリコン窒化膜) をゲート絶縁膜として組み合わせ、全てのプロセスを  $500^\circ\text{C}$  以下に低温化した金属ゲートトランジスタ形成技術を世界で初めて確立した。本論文は、これらの研究成果を取りまとめたもので、全文 5 章よりなる。

第 1 章は序論である。

第 2 章では、 $\text{TaNx}$  (窒化タンタル) をバッファ層にした低抵抗な積層金属ゲート電極形成技術について述べている。 $\text{TaNx}$  バッファ層上には、低抵抗な bcc 相の金属タンタル層がヘテロエピタキシーにより成長することを実験的に明らかにし、シート抵抗  $1\Omega/\square$  以下のゲート電極薄膜形成を安定的に実現した。また、 $\text{TaNx}$  および金属タンタルは硫酸や過酸化水素といった洗浄薬液に対して耐性があるため、相互汚染のおそれは小さく、従来使われているポリシリコンゲート集積回路製造ラインで共用できることを示した。これらは極めて重要な成果である。

第 3 章では、第 2 章で開発した bcc-Ta/ $\text{TaNx}$  金属ゲート電極技術の MOS デバイスへの適用について詳細に検討している。 $\text{TaNx}$  ゲートを使った MOS デバイスの界面準位密度は十分小さく、また  $\text{TaNx}$  の仕事関数値は金属タンタルのそれより大きく、よりシリコンのバンドギャップ中心位置に近いことを実験的に明らかにしている。このことは完全空乏化(FD)SOI-CMOS デバイスにおけるしきい値をより対称性よく設定できることを意味し、実用上極めて重要な成果である。

第 4 章では、bcc-Ta/ $\text{TaNx}$  金属ゲート電極とマイクロ波励起高密度プラズマにより成膜される  $\text{Si}_3\text{N}_4$  ゲート絶縁膜を組み合わせたトランジスタ形成技術を検討している。その結果、金属ゲート  $\text{Si}_3\text{N}_4$  ゲート絶縁膜デバイスは、同じ電気膜厚の従来 MOS デバイスに比較して、ゲート漏れ電流を 3 桁程度低減できることを明らかにした。さらに、全てのプロセスが  $450^\circ\text{C}$  以下という完全低温プロセスを用いたプレーンゲート型 bcc-Ta/ $\text{TaNx}$  金属ゲート  $\text{Si}_3\text{N}_4$  ゲート絶縁膜 FD-SOI トランジスタの試作に初めて成功し、理想的な駆動特性を確認した。また、その TDDb 信頼性についても従来 MOS デバイスより優れていることを実験的に明らかにし、実用化が十分可能なことを確認した。このように完全低温プロセスで製造できる本技術は、理想的な集積回路構造である金属基板 SOI デバイス実現に向けて大きく前進したものであり、極めて重要な成果である。

第 5 章は結論である。

以上要するに本論文は、高信頼化金属ゲート電極と熱酸化膜より誘電率の高い  $\text{Si}_3\text{N}_4$  ゲート絶縁膜を用いた高性能超低消費電力超微細 CMOS トランジスタを提供する手法を示したもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。